



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Ryota KATSUMATA, et al.

GAU:

SERIAL NO: 10/814,266

EXAMINER:

FILED: April 1, 2004

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
JAPAN

APPLICATION NUMBER
2004-006927

MONTH/DAY/YEAR
January 14, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 1 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 0 6 9 2 7
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 0 6 9 2 7]

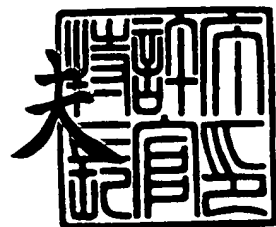
願 人 株 式 会 社 東 芝
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 4 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 3 0 7 5 7

【書類名】 特許願
【整理番号】 A000305138
【提出日】 平成16年 1月14日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 11/00
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
 内
 【氏名】 勝又 竜太
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
 内
 【氏名】 青地 英明
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、
前記半導体基板上のゲート絶縁膜上に配設されたゲート電極と、
前記ゲート電極の側壁上で前記半導体基板の表面まで延在する第 1 部分と、前記第 1 部分と接して前記半導体基板上に延在する第 2 部分と、前記第 2 部分の前記第 1 部分と接する端部と反対の端部に接して前記半導体基板上に延在し且つ前記第 2 部分より薄い第 3 部分と、を有する後酸化膜と、
前記第 2 部分および前記第 3 部分上で前記第 1 部分の側壁を覆うスペーサと、
前記第 2 部分の下の前記半導体基板の表面で前記ゲート電極下方のチャネル領域を挟むように形成され、前記スペーサの側壁の下まで延在するソース／ドレインエクステンション層と、
前記ソース／ドレインエクステンション層の前記チャネル領域と反対側の端部と接するように前記半導体基板の表面に形成されたソース／ドレイン拡散層と、
を具備することを特徴とする半導体装置。

【請求項 2】

前記スペーサの幅は 30 nm 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 部分の厚さは、10 nm 以上であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 3 部分の厚さは、0 以上 10 nm 以下であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

アレイトランジスタ領域に形成されたメモリセルの一部を構成するアレイトランジスタ、および周辺領域に形成された周辺回路の一部を構成する周辺トランジスタを有する半導体装置の製造方法であって、

前記アレイトランジスタ領域および前記周辺領域において、半導体基板上のゲート絶縁膜上にゲート電極を形成する工程と、

前記アレイトランジスタ領域の前記ゲート電極下のチャネル領域を挟むように前記半導体基板の表面に第 1 ソース／ドレインエクステンション層を形成する工程と、

前記アレイトランジスタ領域および前記周辺領域において、前記ゲート電極の側壁上に第 1 後酸化膜を形成する工程と、

前記半導体基板上の前記ゲート電極の近傍に前記第 1 後酸化膜と接する第 2 後酸化膜、を形成する工程と、

前記アレイトランジスタ領域および前記周辺領域において、前記第 2 後酸化膜の前記第 1 後酸化膜と接する側と反対において接する位置の前記半導体基板上に形成された第 3 後酸化膜および前記第 2 後酸化膜を介してイオンを注入することにより、前記周辺領域において第 2 ソース／ドレインエクステンション層を形成する工程と、

前記アレイトランジスタ領域および前記周辺領域において、前記半導体基板の表面に前記第 1、第 2 ソース／ドレインエクステンション層を挟むソース／ドレイン拡散層をそれぞれ形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【書類名】 明細書**【発明の名称】 半導体装置およびその製造方法****【技術分野】****【0001】**

本発明は、半導体装置に関し、例えば、混載DRAM (Dynamic Random Access Memory) のアレイトランジスタおよび周辺回路のトランジスタの構造に関する。

【背景技術】**【0002】**

図17は、DRAMのメモリセル内のアレイトランジスタ、および周辺回路の一部を構成する周辺トランジスタの構造を示す断面図であり、MOSFET (Metal Oxide Semiconductor Field Effect Transistor、以下、単にトランジスタ) の断面を示している。図17に示すように、半導体基板101上のゲート絶縁膜102上にゲート電極103が設けられる。後酸化膜104は、ゲート電極103の側壁上の部分104aと、ゲート電極103の脇の半導体基板101上の部分104bとから構成される。後酸化膜104a上のスペーサ105は、ゲート電極103および、ゲート電極103上のシリサイド膜106、絶縁膜107の側壁を覆う。後酸化膜104b直下の半導体基板101の表面には、ソース/ドレインエクステンション層108が形成される。

【0003】

トランジスタのショートチャネル効果を抑制するためには、エクステンション層108を浅く形成する必要がある。エクステンション層108は後酸化膜104bを介したイオン注入により形成されるため、後酸化膜104bが薄いと、イオン注入の制御性が増し、エクステンション層108を浅く形成しやすい。特に、近時、高性能を要請される周辺トランジスタでは、ショートチャネル効果を抑制するために、後酸化膜104は薄いことが望ましい。

【0004】

一方、ゲート電極103の下部の角部での電界を弱めるためには、後酸化膜104aは、厚く、例えばゲート絶縁膜102より10nm程度厚くする必要がある。これは、後酸化膜104aの厚さを制御することにより、ゲート電極103の角部を丸め、ゲート電極103下部の角部での電界を弱めることが可能なためである。さらに、絶縁膜が半導体基板101に接触することによりバンド間での電子のトンネリングを回避する観点から、少なくともゲート電極103の近傍では、後酸化膜104aの膜厚は、やはり10nm以上であることが必要である。特に、DRAMのアレイトランジスタにおいては、データ保持特性を向上させることを目的してゲート電極103の角部での電界を緩和するために、後酸化膜104は厚いことが望ましい。

【0005】

以上の2つの観点より後酸化膜104の厚さを決定する場合、アレイトランジスタの性能が、周辺トランジスタの性能より優先されるため、周辺トランジスタの構成はアレイトランジスタの構成に合わせざるを得ない。すなわち、後酸化膜104の膜厚は、アレイトランジスタが要する膜厚とされる。この結果、周辺トランジスタの性能を向上させることができない。

【0006】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【特許文献1】 米国特許第4,366,613号明細書

【特許文献2】 米国特許第6,664,600号明細書

【特許文献3】 米国特許第6,495,885号明細書

【特許文献4】 米国特許第6,455,362号明細書

【発明の開示】**【発明が解決しようとする課題】****【0007】**

本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、トランジ

スタのリーク電流を増加させることなく、ショートチャネル効果を抑制できる半導体装置およびその製造方法を提供しようとするものである。

【課題を解決するための手段】

【0008】

本発明の第1の視点による半導体装置は、半導体基板と、前記半導体基板上のゲート絶縁膜上に配設されたゲート電極と、前記ゲート電極の側壁上で前記半導体基板の表面まで延在する第1部分と、前記第1部分と接して前記半導体基板上に延在する第2部分と、前記第2部分の前記第1部分と接する端部と反対の端部に接して前記半導体基板上に延在し且つ前記第2部分より薄い第3部分と、を有する後酸化膜と、前記第2部分および前記第3部分上で前記第1部分の側壁を覆うスペーサと、前記第2部分の下の前記半導体基板の表面で前記ゲート電極下方のチャンネル領域を挟むように形成され、前記スペーサの側壁の下まで延在するソース／ドレインエクステンション層と、前記ソース／ドレインエクステンション層の前記チャンネル領域と反対側の端部と接するように前記半導体基板の表面に形成されたソース／ドレイン拡散層と、を具備することを特徴とする。

【0009】

本発明の第2の視点による半導体装置の製造方法は、アレイトランジスタ領域に形成されたメモリセルの一部を構成するアレイトランジスタ、および周辺領域に形成された周辺回路の一部を構成する周辺トランジスタを有する半導体装置の製造方法であって、前記アレイトランジスタ領域および前記周辺領域において、半導体基板上のゲート絶縁膜上にゲート電極を形成する工程と、前記アレイトランジスタ領域の前記ゲート電極下のチャンネル領域を挟むように前記半導体基板の表面に第1ソース／ドレインエクステンション層を形成する工程と、前記アレイトランジスタ領域および前記周辺領域において、前記ゲート電極の側壁上に第1後酸化膜を形成する工程と、前記半導体基板上の前記ゲート電極の近傍に前記第1後酸化膜と接する第2後酸化膜、を形成する工程と、前記アレイトランジスタ領域および前記周辺領域において、前記第2後酸化膜の前記第1後酸化膜と接する側と反対において接する位置の前記半導体基板上に形成された第3後酸化膜および前記第2後酸化膜を介してイオンを注入することにより、前記周辺領域において第2ソース／ドレインエクステンション層を形成する工程と、前記アレイトランジスタ領域および前記周辺領域において、前記半導体基板の表面に前記第1、第2ソース／ドレインエクステンション層を挟むソース／ドレイン拡散層をそれぞれ形成する工程と、を具備することを特徴とする。

【0010】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【発明の効果】

【0011】

本発明によれば、トランジスタのリーク電流を増加させることなく、ショートチャネル効果を抑制できる半導体装置およびその製造方法を提供できる。

【発明を実施するための最良の形態】

【0012】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0013】

(第1実施形態)

図1、図2を参照して本発明の第1実施形態について以下に説明する。図1は、本発明の第1実施形態に係る半導体装置を概略的に示す断面図である。本実施形態に係る半導体

装置は、メモリセルの一部を構成するアレイトランジスタと、周辺回路の一部を構成する周辺トランジスタとを有する。さらに、周辺トランジスタは、 n 型のMOSトランジスタと、 p 型のMOSトランジスタとを含む。各トランジスタは、ほぼ同一の形状を有するため、図1においては、1つのみが示されている。図2は、図1の円により囲まれた部分を拡大して示している。

【0014】

図1、図2に示すように、例えばシリコンから構成される半導体基板1の表面上には、ゲート絶縁膜2が設けられる。ゲート絶縁膜2上には、ゲート電極(n 型ポリシリコン)3、タングステンシリサイド(WSi)からなるシリサイド膜4、窒化シリコン(SiN)からなるキャップ絶縁膜5が順次設けられる。ゲート電極3の側面上から、半導体基板1の表面上に延在する後酸化膜6が設けられる。後酸化膜6は、第1部分61、第2部分62、第3部分63とから構成される。第1部分61、シリサイド膜4、キャップ絶縁膜5の側面上はスペーサ7により覆われる。スペーサ7の下部は、第2部分62の全体および第3部分63の一部を覆う。

【0015】

半導体基板1の表面で、ゲート電極3の下チャンネル領域を挟むように、LDD(Lightly Doped Drain)構造を構成するソース/ドレインエクステンション層(以下、エクステンション層)11が形成される。エクステンション層11のチャンネル領域と反対の端部には、ソース/ドレイン拡散層12が形成される。

【0016】

半導体基板1上の全面には、層間絶縁膜13が形成される。層間絶縁膜13内に、ビット線とソース/ドレイン拡散層12とを接続するコンタクト14が設けられる。コンタクト14は、セルフアラインコンタクトにより形成される。ゲート電極3の延在方向(図に垂直な方向)における図1と異なる断面において、キャップ絶縁膜5が除去され、除去された位置にコンタクトが形成される(図示せぬ)。

【0017】

次に、各部について、より詳しく説明する。ゲート絶縁膜2は、例えばSiOから構成され、例えば1nm~20nm、好ましくは3nm~10nm、さらに好ましくは7nm、の厚さ L_{ox} を有する。ゲート電極3は、例えばポリシリコンから構成され、不純物を含有することにより導電性とされている。ゲート電極3の厚さ(高さ)は、例えば80nmであり、幅(チャンネル長方向の長さ)は、例えば100nmである。ゲート電極3の下部の角部は、ゲート絶縁膜2の厚さと、後酸化膜の第1部分61の厚さとにより決定される形状に応じた丸みを有する。ゲート電極3の角部に丸みを設けることにより、この部分での電界が集中することを低下できる。この結果、トランジスタのオフ時にゲートの電界によりエクステンション層11の近傍が空乏化することにより発生する、バンド間の電子のトンネリングを抑制することができる。すなわち、ゲート電極3と半導体基板1との間のリーク電流の増大を回避できる。

【0018】

シリサイド膜4は、例えば60nmの厚さを有する。キャップ絶縁膜5は例えば200nmの厚さを有する。シリサイド膜4および絶縁膜の幅は、ゲート電極3の幅と同じである。

【0019】

後酸化膜6は、例えば熱酸化および自然酸化により形成されたシリコン酸化膜から構成される。第1部分61は、ゲート電極3の側面を覆い、その端部は半導体基板1の表面に達する。第2部分62は、半導体基板1の表面に延在し、その一端は第1部分61と接し、実際は第1部分61と一体である。第3部分63は、第2部分62の第1部分61側と反対の端部と接して半導体基板1の表面に延在する。

【0020】

第2部分62の厚さ L_a の値は、ゲート絶縁膜2の厚さ L_{ox} の値より大きく、例えば1nm~50nm、好ましくは5nm~20nm、さらに好ましくは10nmとされる。

【0021】

第2部分62の一端から、その反対側の他端までの長さ L_d は、例えば1 nm～30 nm、好ましくは2 nm～10 nmであり、さらに好ましくは5 nm以下である。このような長さとなる理由の1つは、後述するように第2部分62および第3部分63を介してイオンが注入されるため、厚い第2部分62の面積が小さい方が、制御性が向上するからである。

【0022】

第2部分62の厚さ L_a は、第1部分61の幅 L_c の値以下である。後述するように第1部分61および第2部分62は1つの熱酸化工程により形成されるが、幅 L_c と厚さ L_a は以下の理由等により異なる。その理由は、ゲート電極3を構成するポリシリコンと、半導体基板1を構成するシリコンとの酸化レートが異なることである。

【0023】

第3部分63の厚さは、理想的には0である。これは、第3部分63が形成されない状態でイオン注入を行う方が、制御性がより高まるからである。しかしながら、第3部分63は典型的には自然酸化により形成され、その厚さ L_b は、例えば0.1 nm～10 nm、好ましくは0.1 nm～5 nm、さらに好ましくは1 nmである。

【0024】

スペーサ7は、アレイトランジスタ領域においては、コンタクト14のためのコンタクトホールがセルフアラインコンタクトにより形成されるために、例えばSiNにより構成される。スペーサ7の下部は、第2部分62の全体および第3部分63の一部を覆う。スペーサ7の幅は、小さい方がトランジスタの占有面積を低下させることができる。また、スペーサ7の幅により、エクステンション層11の長さが決定される。これらを考慮して、スペーサ7の幅は、例えば5 nm～30 nmとされる。

【0025】

エクステンション層11は、後酸化膜の第1部分61の下からスペーサ7の端部の下まで延在する。ソース／ドレイン拡散層12は、エクステンション層11より深い位置まで形成され、また、エクステンション層11より高い不純物濃度を有する。層間絶縁膜13は、例えばBPSG (Boron Phosphorus Silicate Glass) から構成される。

【0026】

次に、図1に示す半導体装置の製造方法について、図3(a)、図3(b)、図3(c)～図10(a)、図10(b)、図10(c)を参照して説明する。図3(a)、図3(b)、図3(c)～図10(a)、図10(b)、図10(c)は、図1の半導体装置の製造工程の一部を順に示す断面図である。n型トランジスタ領域N、p型トランジスタ領域Pに、図1のトランジスタと同じ構造のn型トランジスタ、p型トランジスタがそれぞれ形成される。図3(a)～図10(a)は、n型トランジスタ領域Nの製造工程を順に示している。図3(b)～図10(b)は、p型トランジスタ領域Pの製造工程を順に示している。アレイトランジスタ領域ATには、図1のトランジスタと同じ構造のアレイトランジスタが形成される。図3(c)～図10(c)は、アレイトランジスタ領域ATの製造工程を順に示している。各トランジスタの各部を、n型トランジスタ領域N、p型トランジスタ領域P、アレイトランジスタ領域ATで区別する必要がある場合、図1の参照符号に、a、b、cの添え字を添付したものをを用いる。

【0027】

まず、半導体基板1上に、STI (Shallow Trench Isolation) 構造の素子分離絶縁膜(図示せぬ)が形成される。次に、チャンネル形成予定領域にイオン注入が行われ、次に、ウェル(図示せぬ)が形成される。

【0028】

次に、図3(a)、図3(b)、図3(c)に示すように、例えば熱酸化によりゲート絶縁膜2が形成される。次に、ゲート絶縁膜2上に、例えばCVD (Chemical Vapor Deposition) 法により、ゲート電極3の材料膜31が堆積される。次に、材料膜31内に、各トランジスタの導電型となるように、P、B等のイオンが注入される。または、あらか

じめPをドーピングした材料膜31が堆積されてもよい。次に、材料膜31上に、シリサイド膜4の材料膜32が例えばスパッタリングにより形成される。次に、材料膜32上に、例えばLPCVD (Low Pressure CVD) 法により、キャップ絶縁膜5の材料膜33が形成される。

【0029】

次に、図4(a)、図4(b)、図4(c)に示すように、リソグラフィー工程、およびRIE (Reactive Ion Etching) 等の異方性エッチングにより、ゲート電極3のパターンに対応する開口を有するパターンを有するキャップ絶縁膜5が形成される。次に、このパターンニングされたキャップ絶縁膜5を用いて、RIE等の異方性エッチングを行うことにより、材料膜32、材料膜31、がパターンニングされる。この結果、ゲート電極3、シリサイド膜4が形成される。この際、ゲート絶縁膜2も、ゲート電極3に覆われた部分が残存し、その他の部分は半導体基板1上から除去される。

【0030】

次に、図5(a)、図5(b)、図5(c)に示すように、RTO (Rapid Thermal Oxidation) 法により、ゲート電極3の側壁上および半導体基板1の表面上の全面に、第2部分62の厚さと同じ厚さの酸化膜34が形成される。この酸化膜34のうち、ゲート電極3の側壁上に形成された部分が第1部分61となり、ゲート電極3に隣接する位置の半導体基板1上の部分が第2部分62となる。次に、半導体基板1の全面に、酸化膜34を介して、例えばPが10 keVの注入エネルギーでイオン注入されることにより、アレイトランジスタのエクステンション層11cが形成される。

【0031】

次に、図6(a)、図6(b)、図6(c)に示すように、半導体基板1上の全面に、例えばBSG (Boron Silicate Glass) からなるスペーサ35の材料膜が堆積される。次に、半導体基板1に対して異なる選択比のRIE法により、この材料膜がエッチバックされることにより、スペーサ35が形成される。スペーサ35は1 nm~30 nmの幅を有し、好ましくは2 nm~10 nm、さらに好ましくは5 nmである。このような幅とする理由の1つは、スペーサ35をマスクとしたイオン注入により形成されるエクステンション層11の形状を制御するためである。すなわち、スペーサ35の端部から半導体基板1の深さ方向及び平面方向(チャンネルに向かう方向)への拡散が所望の振る舞いをするように制御するためである。

【0032】

材料膜がエッチバックされる際、酸化膜34のうち、スペーサ35によって覆われない部分は除去され、半導体基板1の表面が露出する。この結果、後酸化膜の第1部分61、第2部分62が形成される。この露出した表面が自然酸化されることにより、後酸化膜の第3部分63が形成される。

【0033】

次に、リソグラフィー工程およびRIE等の異方性エッチングにより、p型トランジスタ領域Pにおいて開口を有するマスク材36が形成される。次に、このマスク材36をマスクとして用いて、第3部分63を介して、例えばBF₂が7 keVの注入エネルギーでイオン注入されることにより、エクステンション層11bが形成される。ほぼ0に近い厚さの第3部分63のみを介してイオン注入されるため、高いイオン注入の制御性を得られ、この結果、ばらつきが少なく且つ拡散深さの浅いエクステンション層11bが形成される。イオン注入後、マスク材36が除去される。

【0034】

なお、BF₂の注入に先立ち、例えばPを45 keVの注入エネルギーで角度付きで注入することにより、Halo構造を有するトランジスタとすることもできる。Halo構造では、エクステンション層11bのさらに内側(チャンネル領域側)に、エクステンション層11bと反対の導電型の拡散層(図示せぬ)が形成される。

【0035】

次に、図7(a)、図7(b)、図7(c)に示すように、HFペーパー(気相状態の

H F) によりスペーサ35が除去される。次に、図8(a)、図8(b)、図8(c)に示すように、リソグラフィー工程およびR I E等の異方性エッチングにより、n型トランジスタ領域Nにおいて開口を有するマスク材37が形成される。次に、このマスク材37をマスクとして用いて、第3部分63を介して、例えばAsが7keVの注入エネルギーでイオン注入されることにより、エクステンション層11aが形成される。第3部分63を主に介してイオン注入されるため、エクステンション層11bの場合と同じく、ばらつきが少なく且つ拡散深さの浅いエクステンション層11aが形成される。イオン注入後、マスク材37が除去される。なお、ASの注入に先立ち、例えばBを15keVの注入エネルギーで角度付きで注入することにより、H a l o構造を有するトランジスタとすることもできる。

【0036】

次に、図9(a)、図9(b)、図9(c)に示すように、半導体基板1上の全面に例えばスペーサ7の材料膜が堆積され、この材料膜が、半導体基板1に対して異なる選択比のR I E法によりエッチバックされることによりスペーサ7が形成される。

【0037】

次に、図10(a)、図10(b)、図10(c)に示すように、リソグラフィー工程およびR I E等の異方性エッチングにより、ソース/ドレイン拡散層12cの形成予定領域に開口を有するマスク材(図示せぬ)が形成される。次に、このマスク材およびスペーサ7cをマスクとして、例えばPがイオン注入されることにより、ソース/ドレイン拡散層12cが形成される。次に、マスク材が除去される。

【0038】

次に、リソグラフィー工程およびR I E等の異方性エッチングにより、ソース/ドレイン拡散層12aの形成予定領域に開口を有するマスク材(図示せぬ)が形成される。次に、このマスク材およびスペーサ7aをマスクとして、例えばAsがイオン注入されることにより、ソース/ドレイン拡散層12aが形成される。次に、マスク材が除去される。

【0039】

次に、リソグラフィー工程およびR I E等の異方性エッチングにより、ソース/ドレイン拡散層12bの形成予定領域に開口を有するマスク材(図示せぬ)が形成される。次に、このマスク材およびスペーサ7bをマスクとして、例えばBF₂がイオン注入されることにより、ソース/ドレイン拡散層12bが形成される。次に、マスク材が除去される。なお、ソース/ドレイン拡散層12a、12b、12cを形成する順番は任意に決定することができ、上記順番は一例である。

【0040】

次に、図1に示すように、半導体基板1上の全面に例えばC V D法により、層間絶縁膜の材料膜が堆積される。次に、この材料膜が例えばウェット酸化雰囲気中でリフローすることにより、層間絶縁膜13が形成される。次に、アレイトランジスタ領域A Tにおいて、R I E法等の異方性エッチングにより、コンタクト14のためのコンタクトホールが形成される。このコンタクトホールは、隣接するアレイトランジスタ同士のスペーサ7間に自己整合的に形成される。次に、このコンタクトホール内に、例えばPがドーピングされたアモルファスシリコンが堆積される。次に、このアモルファスシリコンが例えばC V D法により平坦化される。

【0041】

次に、アクティブエリアへのコンタクトのためのコンタクトホール、およびゲート電極3へのコンタクトのためのコンタクトホールが、リソグラフィー工程、およびR I E法等の異方性エッチングにより形成される。次に、これらコンタクトホール内に、例えばTiおよびTiNの積層膜からなるバリアメタル(図示せぬ)がC V D法により形成される。次に、コンタクトホールが、バリアメタルを介して例えばWにより、スパッタリング法により埋め込まれる。この結果、コンタクトが形成される。次に、所定のパターンを有する、金属からなる配線層(図示せぬ)が、層間絶縁膜13内に形成される。

【0042】

本発明の第1実施形態に係る半導体装置によれば、ゲート電極3に隣接する部分の半導体基板1の表面上の後酸化膜6が、2つの部分(第2部分62、第3部分63)により構成される。第3部分63は、自然酸化膜により構成されるため、非常に薄い。エクステンション層11を形成する際のイオン注入は、この第3部分63を主に介して行われるため、イオン注入の制御性を向上させることができる。したがって、拡散深さの浅いエクステンション層11を形成することにより、ショートチャネル効果が抑制されたトランジスタを得られる。特に、第3部分63を介したイオン注入は、周辺トランジスタのエクステンション層11の形成の際に行われるため、高性能の周辺トランジスタを実現できる。

【0043】

一方、第1部分61の厚さに依存する第2部分62の厚さは、イオン注入の制御性を向上させることを目的として薄くすべき制限が科されることなく、決定することができる。したがって、ゲート電極の角部が所望の形状となるように、第1部分61の厚さを設定することができる。したがって、ゲート電極の角部での電界の集中を回避することにより、リーク電流の少ないトランジスタを得られる。すなわち、高いデータ保持特性を有するアレイトランジスタを実現できる。

【0044】

以上のように、第1実施形態によれば、高いデータ保持特性を有するアレイトランジスタを実現すると同時に、ショートチャネル効果による悪影響が小さい周辺トランジスタを実現できる。

【0045】

また、スペーサ7として用いられるSiNは、半導体基板1として用いられるシリコンと接触すると、トンネルリーク電流を増大させるため、スペーサ7と半導体基板1とは非接触とすることが望ましい。第1実施形態によれば、第3部分63を設けることによりイオンが貫通する後酸化膜6(第3部分63)を薄くしつつ、ゲート電極3の近傍の後酸化膜6(第2部分62)の厚さを確保することができる。すなわち、スペーサ7と半導体基板1とが接触することを回避し、トンネルリークの少ない半導体装置を実現できる。

【0046】

(第2実施形態)

第2実施形態では、半導体基板1の表面上の後酸化膜が第3部分63のみにより構成される。

【0047】

図11は、本発明の第2実施形態に係る半導体装置を概略的に示す断面図である。第2実施形態においても、アレイトランジスタ、n型、p型の周辺トランジスタが形成されるが、図11は、第1実施形態と同様に1つのみを代表して示している。図12は、図11の円により囲まれた部分を拡大して示している。

【0048】

図11、図12に示すように、後酸化膜の第3部分63は、第1部分61と接する位置から延在してソース/ドレイン拡散層12を覆う。ゲート絶縁膜2の厚さ L_{ox} 、第1部分61の幅、第3部分63の厚さは、第1実施形態と同じである。

【0049】

次に、図11に示す半導体装置の製造方法について、図13(a)、図13(b)、図13(c)～図16(a)、図16(b)、図16(c)を参照して説明する。図13(a)、図13(b)、図13(c)～図16(a)、図16(b)、図16(c)は、図11の半導体装置の製造工程の一部を順に示す断面図である。図13(a)～図16(a)は、n型トランジスタ領域Nの製造工程を順に示している。図13(b)～図16(b)は、p型トランジスタ領域Pの製造工程を順に示している。アレイトランジスタ領域ATには、アレイトランジスタが形成される。図13(c)～図16(c)は、アレイトランジスタ領域ATの製造工程を順に示している。

【0050】

まず、第1実施形態の図5(a)、図5(b)、図5(c)までと同じ工程が実行され

る。次に、図13(a)、図13(b)、図13(c)に示すように、半導体基板1を構成するシリコンに対して高い選択比を有する条件下でRIEが行われることにより、酸化膜34のうち半導体基板1の表面上の部分が除去される。この後、自然酸化により、酸化膜34が除去された半導体基板1の表面上に後酸化膜の第3部分63が形成される。

【0051】

次に、リソグラフィ工程およびRIE等の異方性エッチングにより、p型トランジスタ領域Pにおいて開口を有するマスク材41が形成される。次に、このマスク材41をマスクとして用いて、第3部分63を介して、第1実施形態の図6(a)、図6(b)、図6(c)の工程と同じ工程により、エクステンション層11bが形成される。ほぼ0に近い厚さの第3部分63のみを介してイオン注入されるため、高いイオン注入の制御性を得られ、この結果、ばらつきが少なく且つ拡散深さの浅いエクステンション層11bが形成される。イオン注入後、マスク材41が除去される。なお、p型の周辺トランジスタを、第1実施形態と同様にHalo構造とする工程を実行することも可能である。

【0052】

次に、図14(a)、図14(b)、図14(c)に示すように、リソグラフィ工程およびRIE等の異方性エッチングにより、n型トランジスタ領域Nにおいて開口を有するマスク材42が形成される。次に、このマスク材42をマスクとして用いて、第3部分63を介して、第1実施形態の図8(a)、図8(b)、図8(c)の工程と同じ工程により、エクステンション層11aが形成される。エクステンション層11aの場合と同じに、第3部分63のみを介してイオン注入されるため、ばらつきが少なく且つ拡散深さの浅いエクステンション層11aが形成される。イオン注入後、マスク材37が除去される。なお、n型の周辺トランジスタを、第1実施形態と同様にHalo構造とする工程を実行することも可能である。

【0053】

次に、図15(a)、図15(b)、図15(c)に示すように、第1実施形態の図9の工程と同様の工程が実行されることによりスペーサ7が形成される。次に、図16(a)、図16(b)、図16(c)に示すように、第1実施形態の図10(a)、図10(b)、図10(c)の工程と同様の工程が実行されることにより、ソース/ドレイン拡散層12a、12b、12cが形成される。次に、第1実施形態と同様にして、層間絶縁膜13、コンタクト14、配線層等が形成される。

【0054】

本発明の第2実施形態に係る半導体装置によれば、第1実施形態と同じ効果を得られる。さらに、第2実施形態によれば、イオン注入の際、イオンが透過する膜が、後酸化膜の第3部分63のみなので、第1実施形態より高い制御性よりエクステンション層11を形成することができる。したがって、エクステンション層11の形状を、ゲート電極3の近傍においてもより所望の形状に近づけることができる。

【0055】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【図面の簡単な説明】

【0056】

- 【図1】 本発明の第1実施形態に係る半導体装置の断面図。
- 【図2】 図1の一部を拡大して示す断面図。
- 【図3】 図1の半導体装置の製造工程の一部を示す断面図。
- 【図4】 図3に続く工程を示す断面図。
- 【図5】 図4に続く工程を示す断面図。
- 【図6】 図5に続く工程を示す断面図。
- 【図7】 図6に続く工程を示す断面図。
- 【図8】 図7に続く工程を示す断面図。

【図 9】 図 8 に続く工程を示す断面図。

【図 10】 図 9 に続く工程を示す断面図。

【図 11】 本発明の第 2 実施形態に係る半導体装置の断面図。

【図 12】 図 11 の一部を拡大して示す断面図。

【図 13】 図 12 の半導体装置の製造工程の一部を示す断面図。

【図 14】 図 13 に続く工程を示す断面図。

【図 15】 図 14 に続く工程を示す断面図。

【図 16】 図 15 に続く工程を示す断面図。

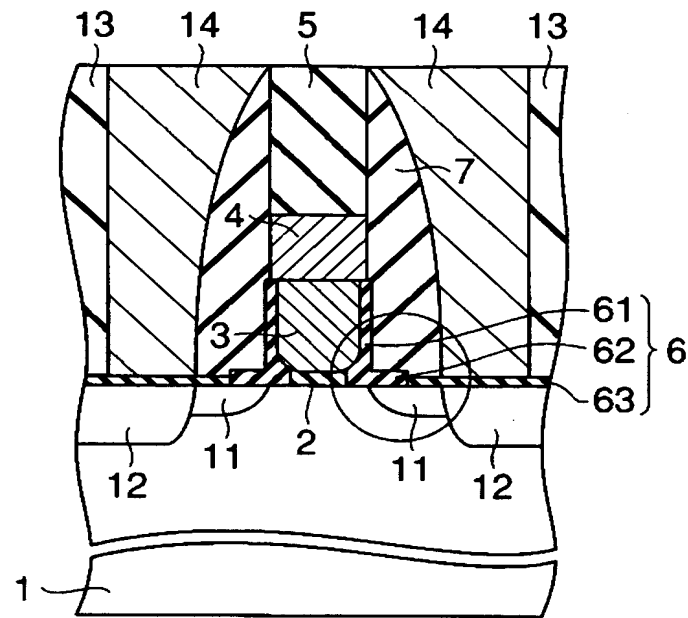
【図 17】 従来の半導体装置の断面図。

【符号の説明】

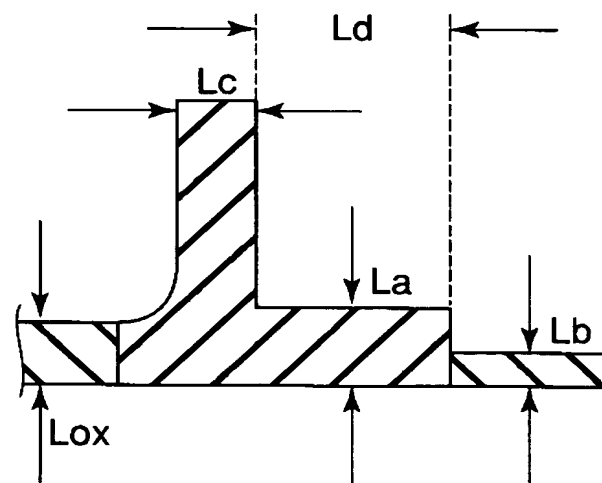
【0057】

1…半導体基板、2…ゲート絶縁膜、3…ゲート電極、4…シリサイド膜、5…絶縁膜、6…後酸化膜、61…第 1 部分、62…第 2 部分、63…第 3 部分、7…スペーサ、11…ソース／ドレインエクステンション層、12…ソース／ドレイン拡散層、13…層間絶縁膜、14…コンタクト、31、32、33…材料膜、34…酸化膜、35…スペーサ、36、37、41、42…マスク材、N…n 型トランジスタ領域、P…p 型トランジスタ領域、AT…アレイトランジスタ領域。

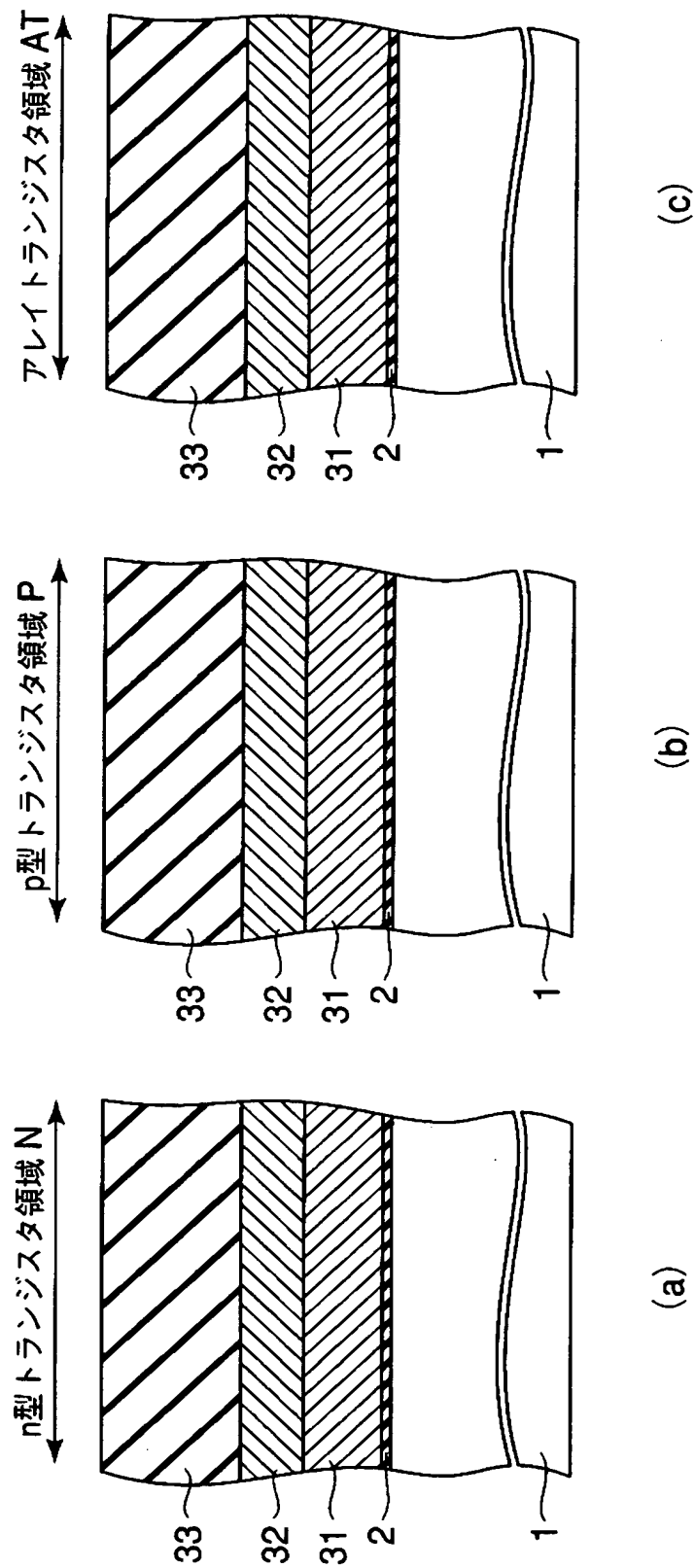
【書類名】 図面
【図 1】



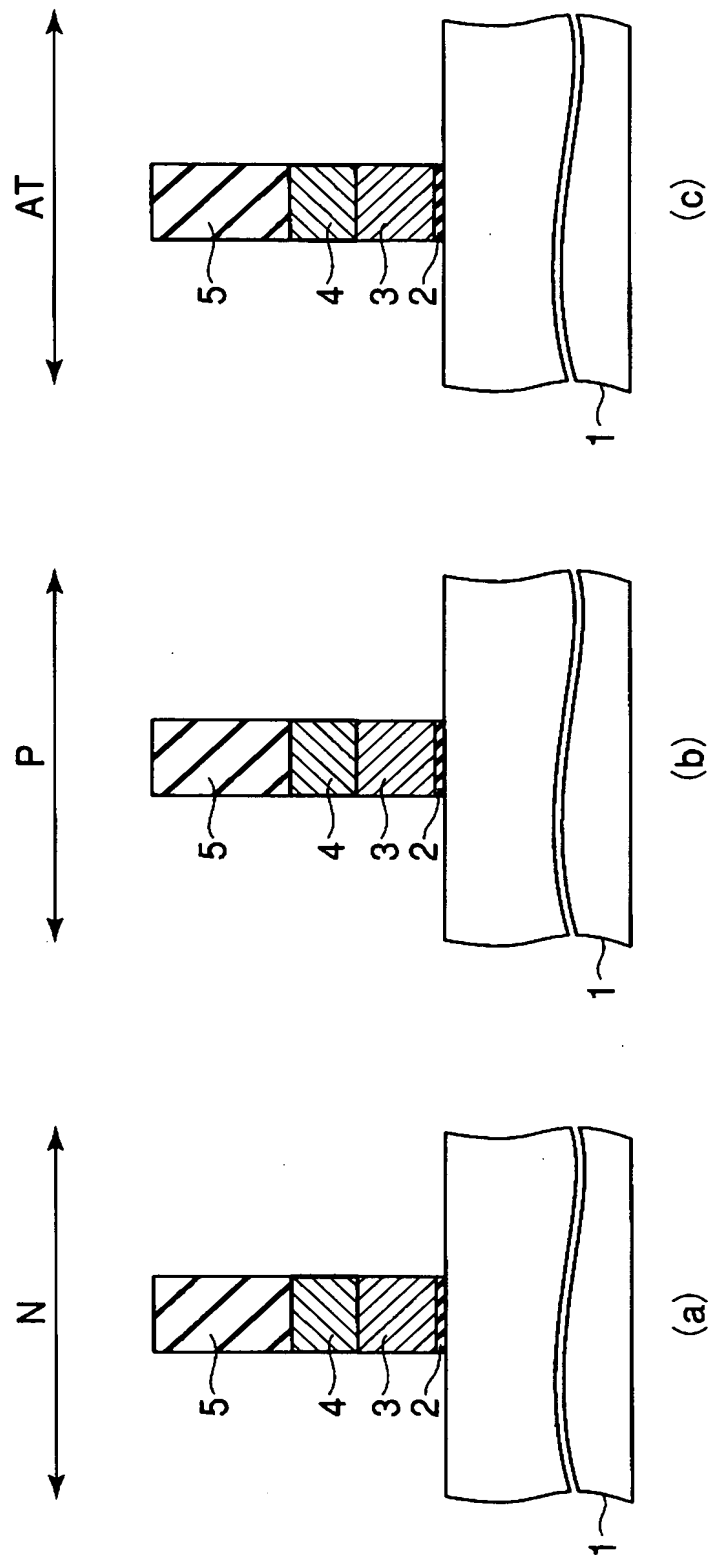
【図 2】



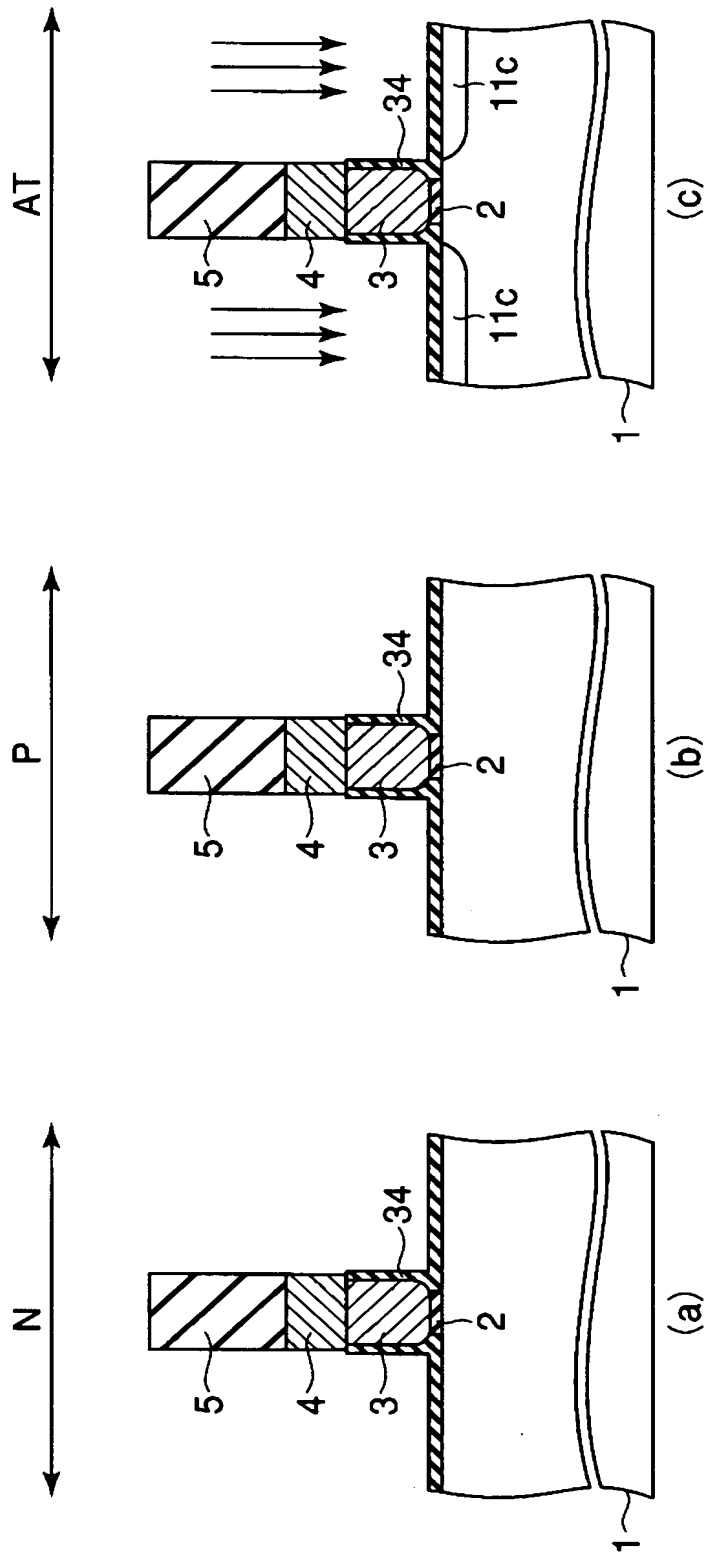
【図 3】



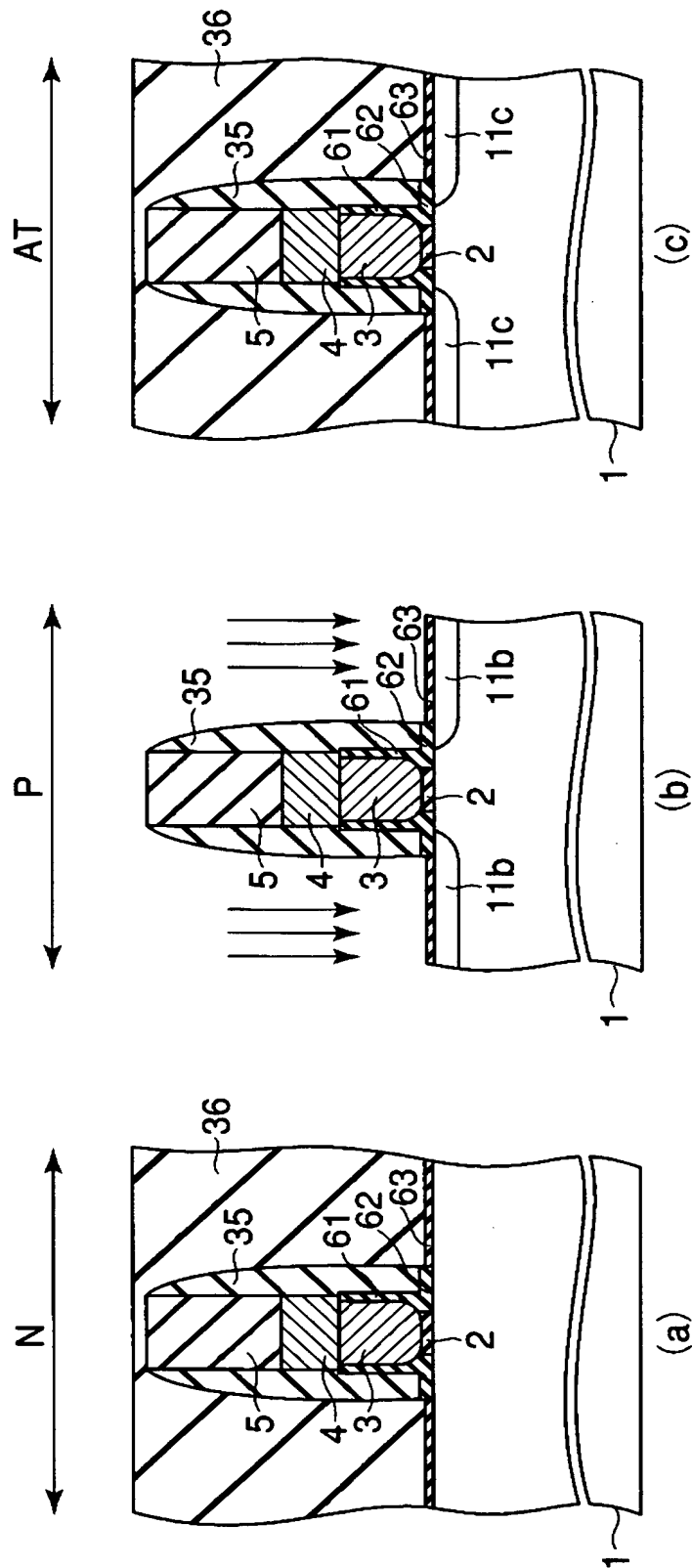
【図 4】



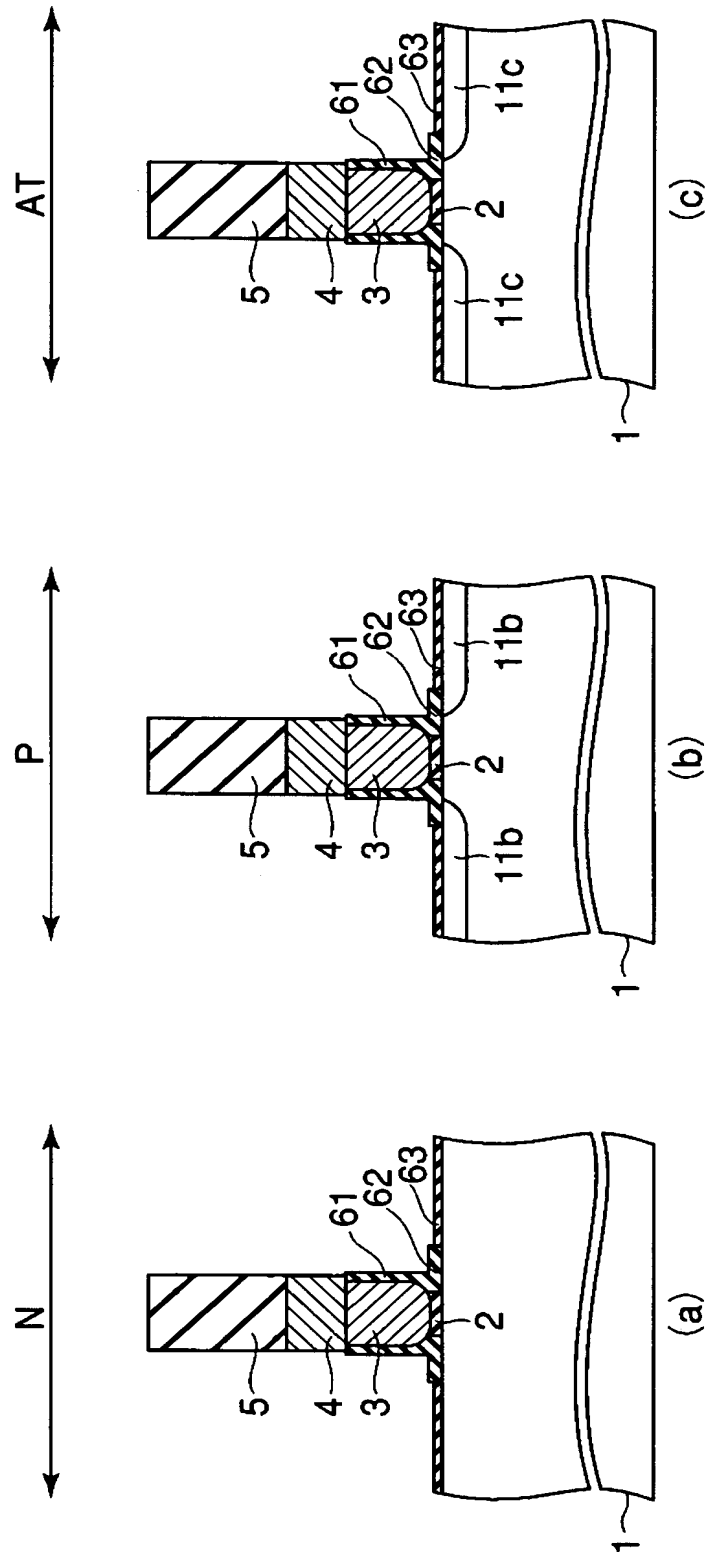
【図 5】



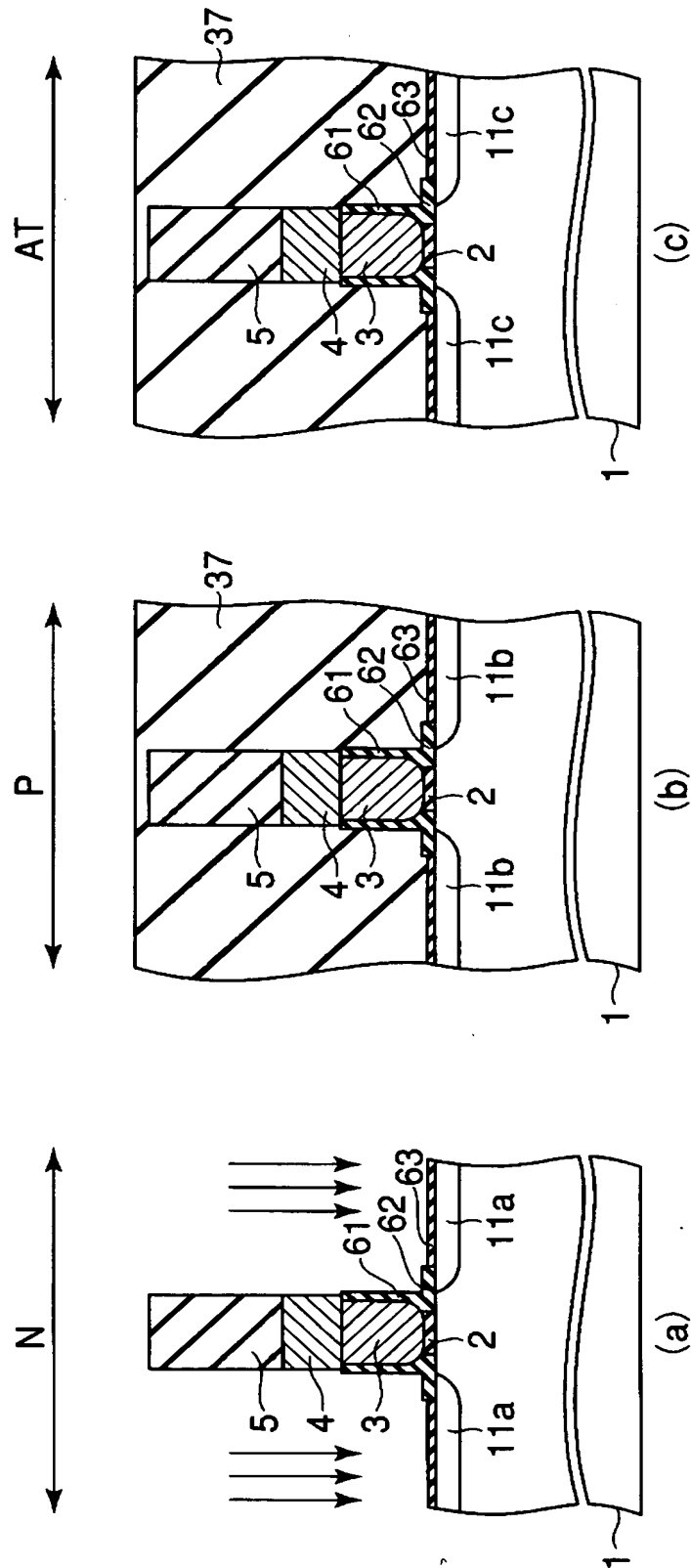
【図 6】



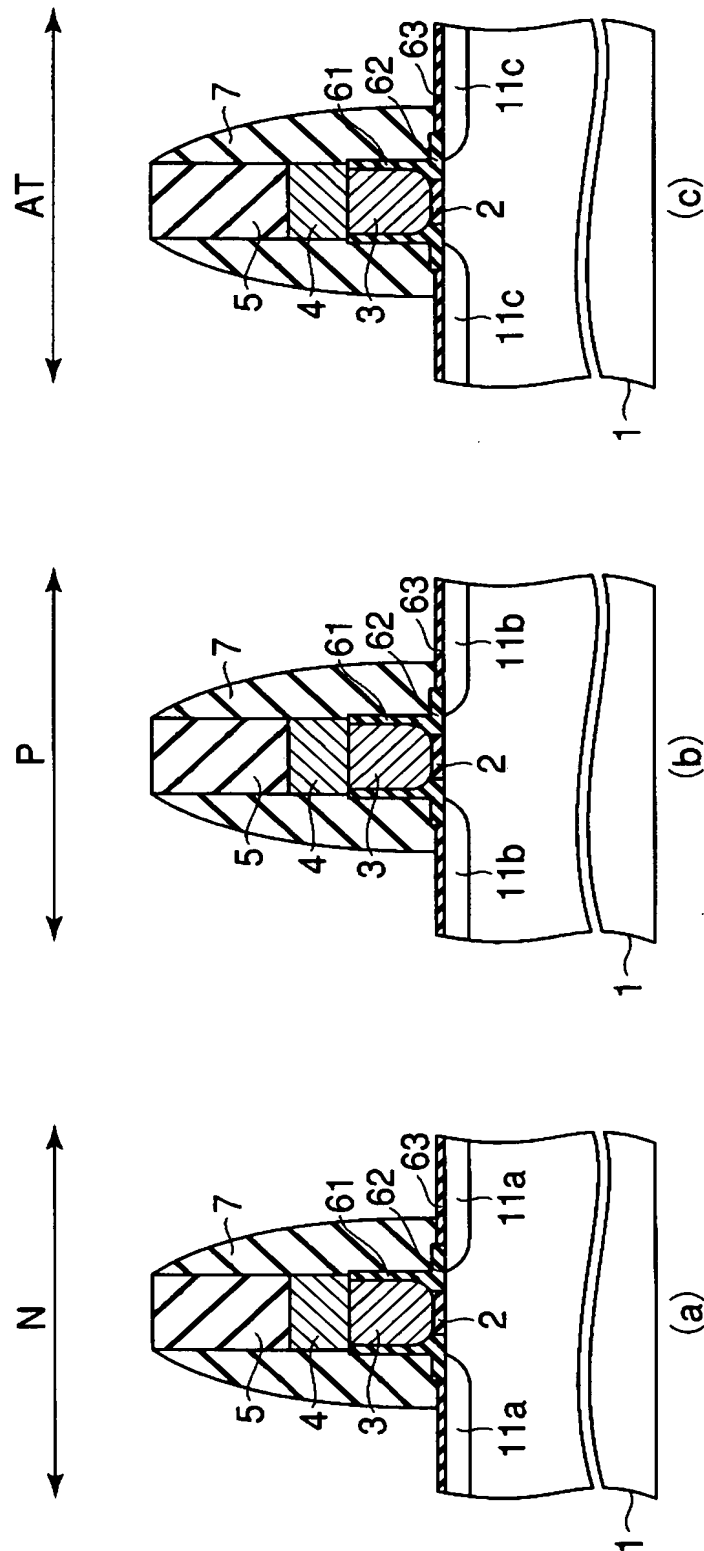
【図 7】



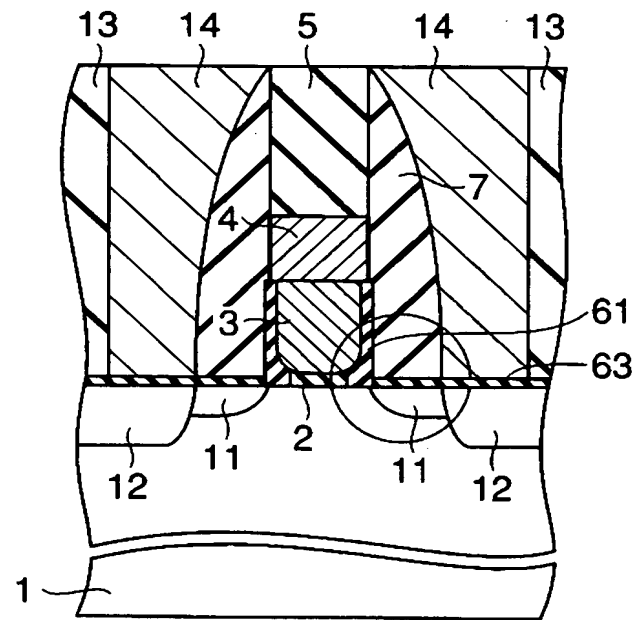
【図 8】



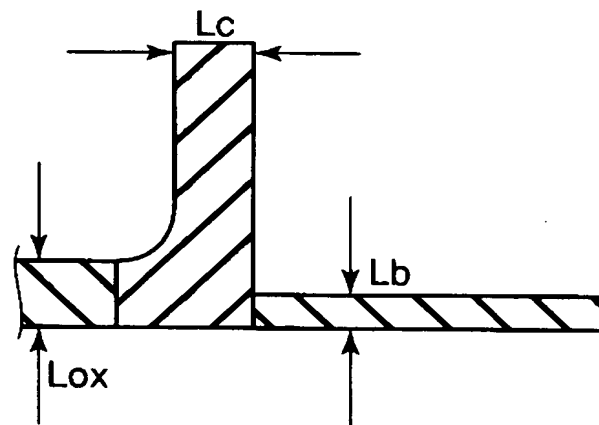
【図 9】



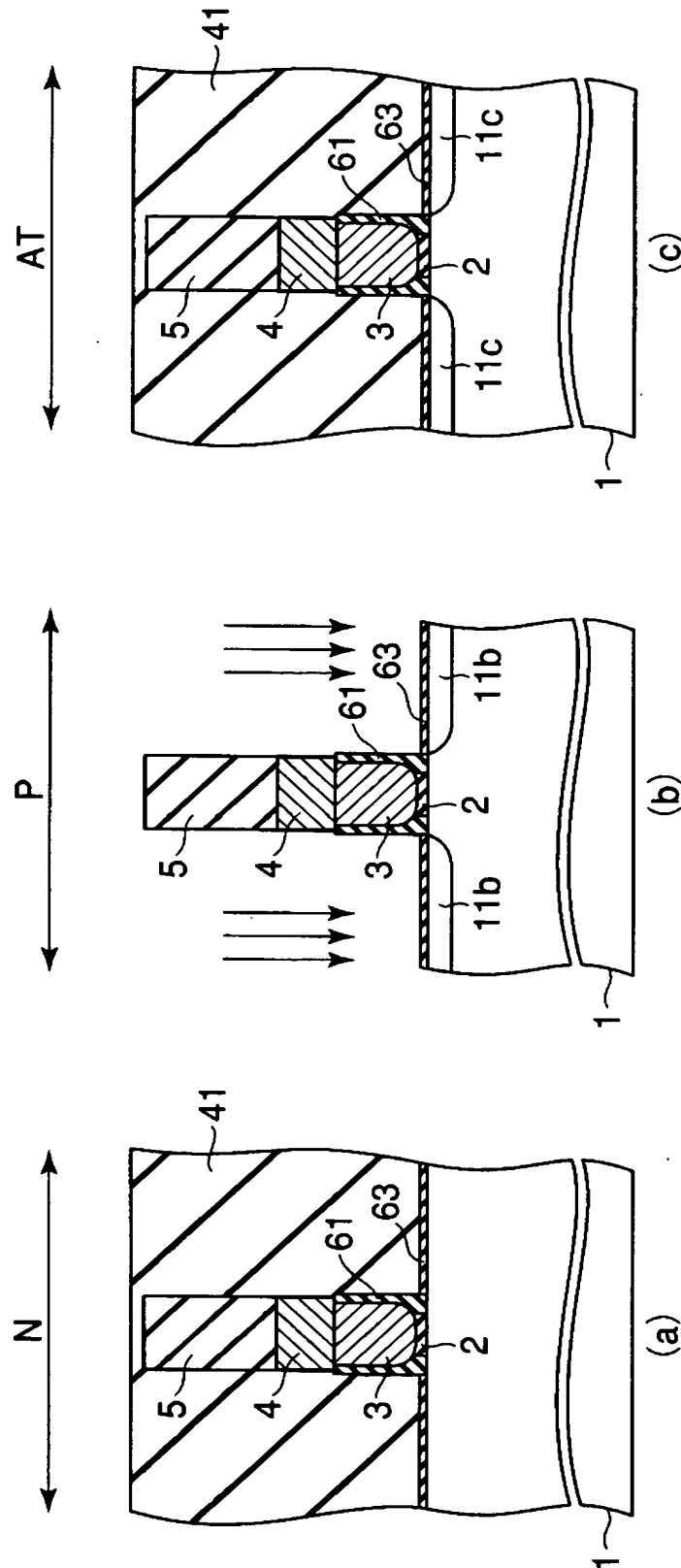
【図 11】



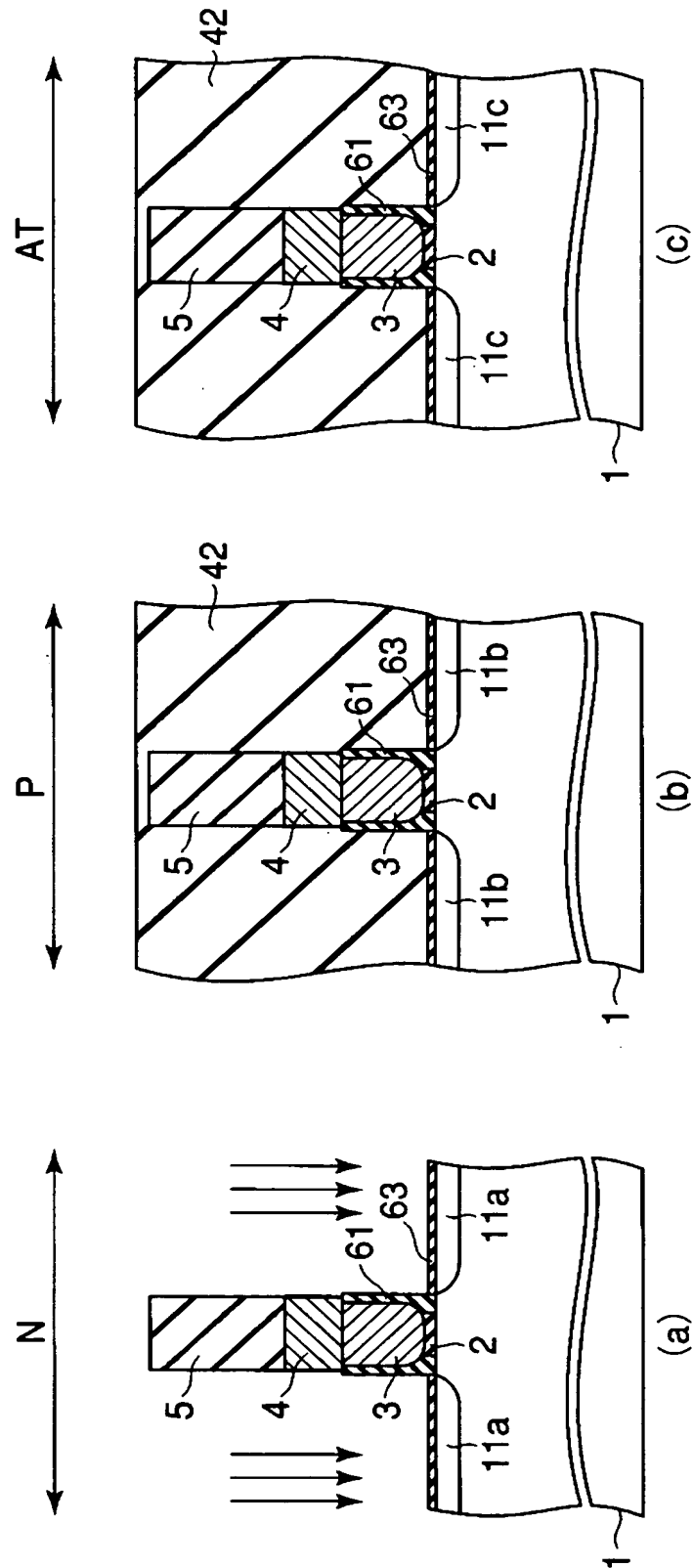
【図 12】



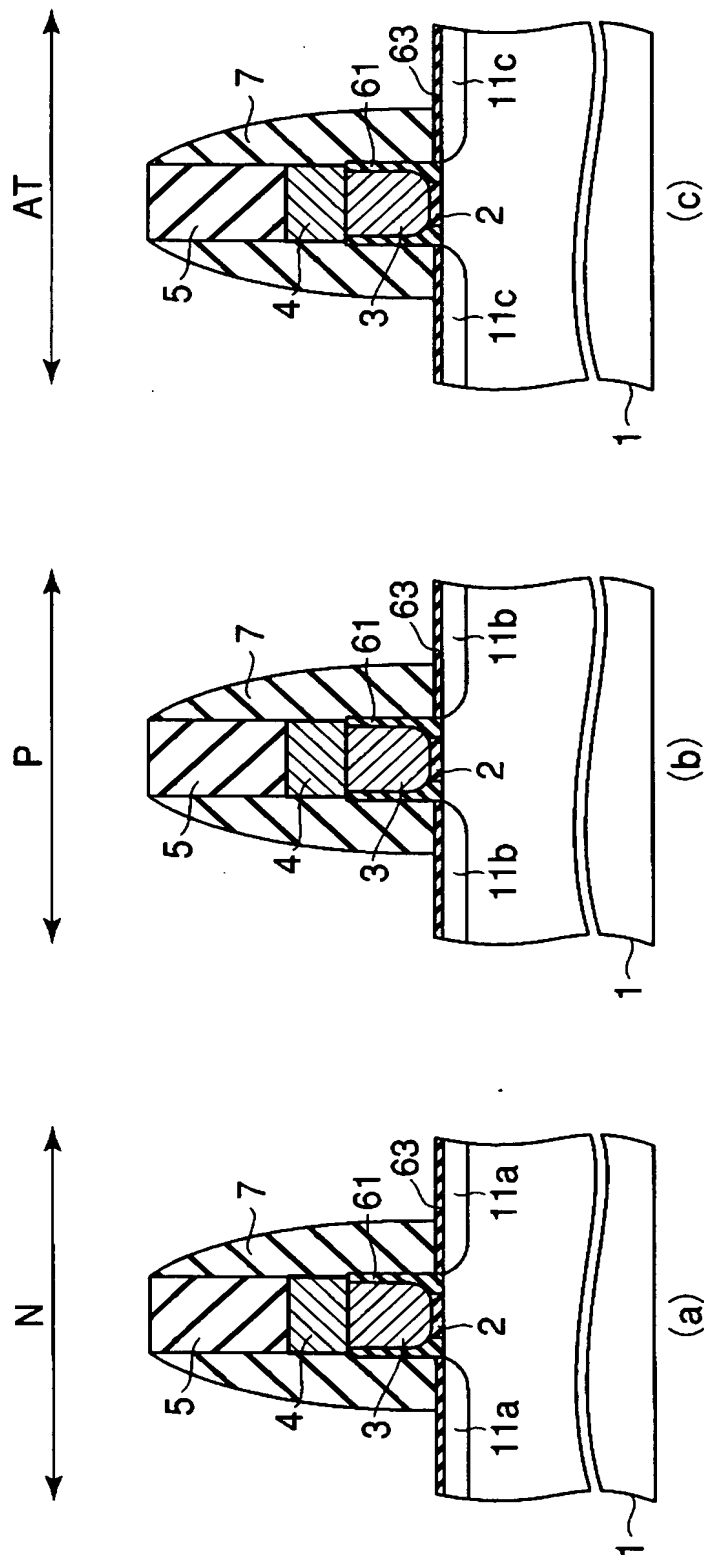
【図 13】



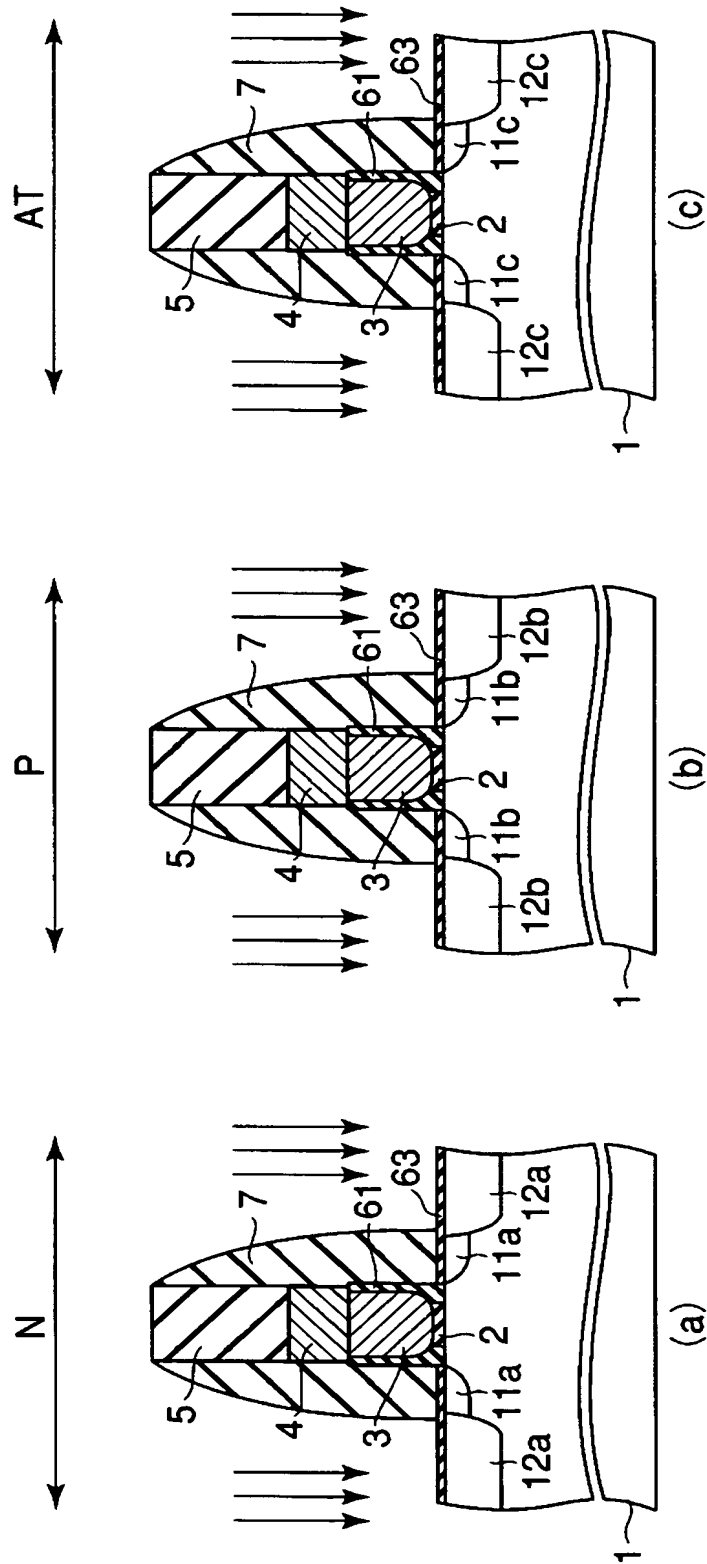
【図 14】



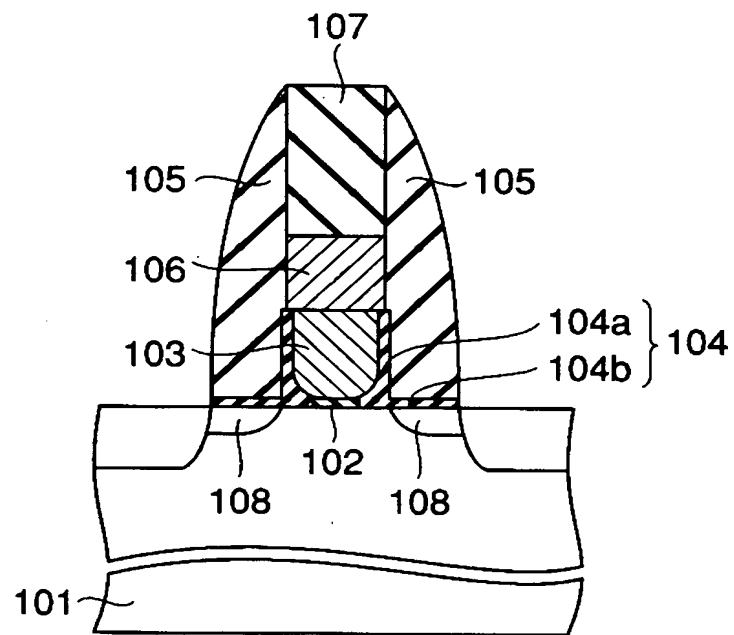
【図 15】



【図 16】



【図 17】



【書類名】 要約書**【要約】**

【課題】 トランジスタのリーク電流を増加させずにショートチャネル効果を抑制できる半導体装置を提供する。

【解決手段】 半導体装置は、第1、第2、第3部分を有する後酸化膜6を含む。第1部分61は、半導体基板1上のゲート絶縁膜2上に配設されたゲート電極3の側壁上で半導体基板の表面まで延在する。第2部分62は、第1部分と接して半導体基板上に延在する。第3部分63は、第2部分の第1部分と接する端部と反対の端部に接して半導体基板上に延在し、その厚さは第2部分より薄い。スペーサ7は第2、第3部分上で第1部分の側壁を覆う。ソース／ドレインエクステンション層11は、第2部分の下の半導体基板の表面でゲート電極下方のチャネル領域を挟むように形成され、スペーサの側壁の下まで延在する。ソース／ドレイン拡散層は、ソース／ドレインエクステンション層のチャネル領域と反対側の端部と接するように半導体基板の表面に形成される。

【選択図】 図1

特願 2 0 0 4 - 0 0 6 9 2 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

| | |
|----------|--------------------|
| 1. 変更年月日 | 2 0 0 1 年 7 月 2 日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都港区芝浦一丁目 1 番 1 号 |
| 氏 名 | 株式会社東芝 |